

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 1 9 9 4 9 8

(43) 公開日 平成 5 年 (1993) 8 月 6 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H04N 7/01		C 9070-5C		
H03L 7/081		9182-5J	H03L 7/08	J

審査請求 未請求 請求項の数 1 (全 6 頁)

(21) 出願番号 特願平 4 - 3 0 0 5 5

(22) 出願日 平成 4 年 (1992) 1 月 2 1 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 藤田 忠男

東京都品川区北品川 6 丁目 7 番 3 5 号ソニー株式会社内

(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 クロック発生回路

(57) 【要約】

【目的】 本発明は、クロック発生回路において、簡単な整数比の関係で表せない第 1 及び第 2 のクロック信号について、高い精度で第 1 のクロック信号の所定タイミングに同期した第 2 のクロック信号を発生させる。

【構成】 第 1 のクロック信号の第 1 の所定サイクル数の整数倍の分周出力と、第 2 のクロック信号の第 2 の所定サイクル数の整数倍の第 2 の分周出力の遅延分周出力との位相差に応じて、第 2 のクロック信号の発振を制御する。この結果、所定タイミング毎に同期を取る場合に比較して格段的に安定かつ高い精度で、第 1 のクロック信号の所定タイミングに同期した第 2 のクロック信号を発生し得る。

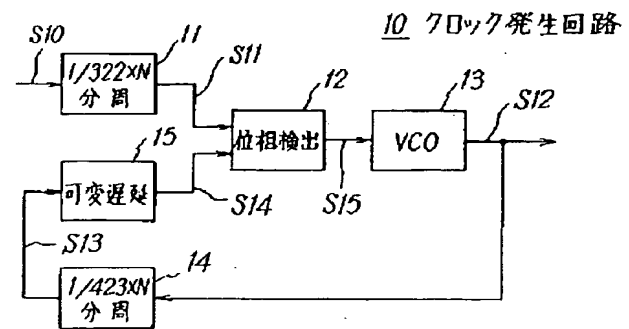


図 1 実施例のクロック発生回路

1のクロック信号S10の第1の所定サイクル(322)目が第2のクロック信号S12の第2の所定サイクル(423)目に近接する第1及び第2のクロック信号S10及びS12について、第1のクロック信号S10の所定タイミングに同期した第2のクロック信号S12を発生するクロック発生回路10において、入力される第1のクロック信号S10を、第1の所定サイクル数(322)の整数倍(N)で分周し、その分周結果でなる第1の分周出力S11を送出する第1のクロック分周手段11と、第2のクロック信号S12を発振して出力するクロック信号発振手段13と、そのクロック信号発振手段13から入力される第2のクロック信号S12を、第2の所定サイクル数(423)の整数倍(N)で分周し、その分周結果でなる第2の分周出力S13を送出する第2のクロック分周手段14と、第2の分周出力S13を必要に応じて遅延させて得られる遅延分周出力S14を送出する遅延手段15と、第1の分周出力S11及び遅延分周出力S14の位相を比較し、その検出結果に基づいて、クロック信号発振手段13を制御する位相検出手段12とを設け、クロック信号発振手段13で発振した第2のクロック信号S12を出力するようにした。

【0012】

【作用】第1のクロック信号S10の第1の所定サイクル数(322)の整数倍(N)の分周出力S11と、第2のクロック信号S12の第2の所定サイクル数(423)の整数倍(N)の第2の分周出力S13の遅延分周出力S14との位相差に応じて、第2のクロック信号S12を発振するクロック信号発振手段13を制御するようにしたことにより、所定タイミング毎に同期を取る場合に比較して格段的に安定かつ高い精度で、第1のクロック信号S10の所定タイミングに同期した第2のクロック信号S12を発生し得る。

$$\frac{1}{13.5} \times 644 = 74.074074 \times 10^{-9} \times 644$$

$$= 47.70370370 \times 10^{-6} \text{ [Sec]}$$

..... (1)

で表される。

【0019】これに対し、周波数 17.734475 [MHz] でなるD-2のクロック信号S12の423×Nサイクル目

$$\frac{1}{17.734475} \times 846 = 56.38234724 \times 10^{-9} \times 846$$

$$= 47.70369577 \times 10^{-6} \text{ [Sec]}$$

..... (2)

で表され、その差が 7.936×10^{-11} [Sec] である。これによりD-1のクロック信号S10の644サイクル目と、D-2のクロック信号S12の846サイクル目とが

【0013】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0014】図1において、10は全体として本発明によるクロック発生回路を示し、周波数13.5 [MHz] で入力されるD-1のクロック信号S10が $1/322 \times N$ 分周回路11で分周され、この結果得られる第1の分周信号S11が位相検出回路12に入力されている。

【0015】また電圧制御型発振回路(VCO)13で発振される周波数 17.734475 [MHz] でなるD-2のクロック信号S12が $1/423 \times N$ 分周回路14で分周され、この結果得られる第2の分周信号S13が可変遅延回路15で必要に応じて遅延され、この遅延分周信号S14が位相検出回路12に入力されている。

【0016】これにより位相検出回路12は第1の分周信号S11と、遅延分周信号S14の位相を比較し、この比較結果に応じてVCO13の発振周波数を制御することにより、D-1のクロック信号S10に所定のタイミングで位相が同期したD-2のクロック信号S12を出力として送出的ようになされている。

【0017】このクロック発生回路10の場合、D-1のクロック信号S10及びD-2のクロック信号S12について、正確に相互の位相が同期するのは1フレーム周期であるが、互いのクロック信号S10及びS12のタイミングが極めて接近するサイクルに注目し、1フレーム周期より格段的に短い周期でPLLを安定させるようになされている。

【0018】實際上、周波数13.5 [MHz] でなるD-1のクロック信号S10の $322 \times N$ サイクル目(この実施例では、 $N=2$ として644サイクル目でなる)の時間は、次式

【数1】

(D-1と同様に、 $N=2$ で846サイクル目でなる)の時間は、次式

【数2】

ほぼ等しく、従つてPLLをかけるに十分であることが分かる。

【0020】従つてこのクロック発生回路10の場合、

まずそれぞれループカウンタ構成でなる $1/322 \times N$ 分周回路 11 及び $1/423 \times N$ 分周回路 14 のカウンタをフレーム周期でリセットして D-1 のクロック信号 S10 及び D-2 のクロック信号 S12 の同期をフレーム周期で取るようになされている。

$$(540,000/644) \times 7.936 \times 10^{-12} \approx 6.65 \times 10^{-9} \text{ [Sec]} \quad \dots\dots (3)$$

で表されるように、約 6.7 [ns] の誤差を生じる。

【0022】この誤差の時間は 1 周期当たり一定の時間を取るの、実際上可変遅延回路 15 で必要に応じて遅延時間だけ遅延させて補正し、これによりクロック発生回路 10 では、D-1 及び D-2 のクロック信号間の PLL の誤差を小さな値に制御し、高い精度で D-1 のクロック信号 S10 に同期した D-2 のクロック信号 S12 を発生するようになされている。

【0023】ここで、この実施例のクロック発生回路 10 は、図 1 との対応部分に同一符号を付した図 2 に示すような詳細構成でなり、実際上 $1/322 \times N$ 分周回路 11 及び $1/423 \times N$ 分周回路 14 は、それぞれループカウンタ構成の 644 カウンタ回路 11A 及び 846 カウンタ回路 14A と、フリップフロップ (FF) 11B 及び 14B とを組み合わせて構成されている。

【0024】まず 644 カウンタ回路 11A は入力される D-1 のクロック信号 S10 をカウントし、この結果クロック信号 S10 の 644 サイクル目毎に表れるキャリア信号 S16 (図 3 (C)) が、D-1 のクロック信号 S10 のタイミングで動作するフリップフロップ 11B を通じて、位相制御回路 11C で所定量だけ位相制御され、 $1/644$ 分周信号 S11 (図 3 (D)) として位相検出回路 12 に入力されている。

【0025】一方 846 カウンタ回路 14A は入力される D-2 のクロック信号 S12 をカウントし、この結果クロック信号 S12 の 846 サイクル目毎に表れるキャリア信号 S17 (図 3 (E)) が、D-2 のクロック信号 S12 のタイミングで動作するフリップフロップ 14B を通じて、 $1/846$ 分周信号 S13 として可変遅延回路 15A に入力される。

【0026】またこれに加えて 846 カウンタ回路 14A から送出されるキャリア信号 S17 は、遅延量制御回路 15B に入力される。この遅延量制御回路 15B はキャリア信号 S13 をカウントし、このカウント結果に応じて遅延時間を決定するアドレス信号 S18 を可変遅延回路 15A に送出する。

【0027】これにより可変遅延回路 15A はアドレス信号 S18 に応じて例えば 0 [ns] ~ 最大 10 [ns] 程度の遅延時間で、入力される $1/846$ 分周信号 S13 の立下りエッジを遅延させ、これが遅延分周信号 S14 (図 3 (F)) として位相検出回路 12 に入力されている。

【0028】なお上述したように 644 カウンタ回路 11A 及び 846 カウンタ回路 14A は、フレーム周期でリセ

【0021】実際には、1 周期当たり D-1 のクロック信号 S10 の 644 サイクル目と、D-2 のクロック信号 S12 の 846 サイクル目の場合、上述したように 7.936×10^{-12} [Sec] の誤差を生じ 1 フレームでは、次式

【数 3】

ットされており、實際上フレーム信号 S20 (図 3

(A)) がそれぞれ D-1 及び D-2 のクロック信号 S10 及び S12 のタイミングで動作するラッチ回路 20A 及び 21A、エッジ検出回路 20B 及び 21B に入力される。

【0029】このラッチ回路 20A 及び 21A、エッジ検出回路 20B 及び 21B は、それぞれクロック信号 S10 及び S12 のタイミングでフレームの切り替わりを検出し、この結果得られるフレーム周期信号 S21、S22 (図 3 (B)) によつて、それぞれ 644 カウンタ回路 11A 及び 846 カウンタ回路 14A をリセットするようになされている。

【0030】このようにして、この実施例のクロック発生回路 10 においては、D-2 のクロック信号 S12 の $1/846$ 分周信号 S13 を遅延した遅延分周信号 S14 と、D-1 のクロック信号 S10 の $1/644$ 分周信号 S11 との位相差を補正するように VCO13 を制御し、この結果図 4 に示すように、高い精度で D-1 のクロック信号 S10 (図 4 (A)) に同期した D-2 のクロック信号 S12 (図 4 (B)) を発生することができる。

【0031】以上の構成によれば、D-1 のクロック信号 S10 の $1/644$ 分周信号 S11 及び D-2 のクロック信号 S12 の $1/846$ 分周信号 S13 との位相差に応じて、VCO13 を制御して PLL をロックさせるようにしたことにより、フレーム周期で PLL をロックさせる従来のクロック発生回路 1 に比較して、格段的に高い精度かつ安定に、D-1 のクロック信号 S10 に同期した D-2 のクロック信号 S12 を発生し得るクロック発生回路 10 を実現できる。

【0032】なお上述の実施例においては、N を 2 とおいてそれぞれ $1/644$ 分周回路及び $1/846$ 分周回路を用いた場合について述べたが、分周数はこれに限らず、例えば N=1 とおいて $1/322$ 分周及び $1/423$ 分周するようにしても、上述の実施例と同様の効果を実現できる。

【0033】さらに上述の実施例においては、本発明を D-1 のデジタル映像信号のクロック信号に同期した D-2 のデジタル映像信号のクロック信号を発生する場合について述べたが、逆に D-2 のデジタル映像信号のクロック信号の同期した D-1 のデジタル映像信号のクロック信号を得る場合にも適用し得る。

【0034】さらにまた上述の実施例においては、本発明をデジタル映像信号のレート変換装置におけるクロック発生回路に適用した場合について述べたが、本発明

はこれに限らず、互いに簡単な整数比の関係に無いクロック信号間で、一方のクロック信号の所定タイミングに同期したクロック信号を発生する場合に広く適用して好適なものである。

【 0 0 3 5 】

【発明の効果】 上述のように本発明によれば、第 1 のクロック信号の第 1 の所定サイクル数の整数倍の分周出力と、第 2 のクロック信号の第 2 の所定サイクル数の整数倍の第 2 の分周出力の遅延分周出力との位相差に応じて、第 2 のクロック信号の発振を制御するようにしたことにより、所定タイミング毎に同期を取る場合に比較して格段的に安定かつ高い精度で、第 1 のクロック信号の所定タイミングに同期した第 2 のクロック信号を発生し得るクロック発生回路を実現できる。

【図面の簡単な説明】

【図 1】

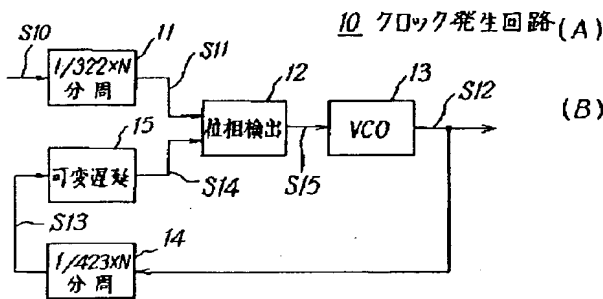


図 1 実施例のクロック発生回路

【図 2】

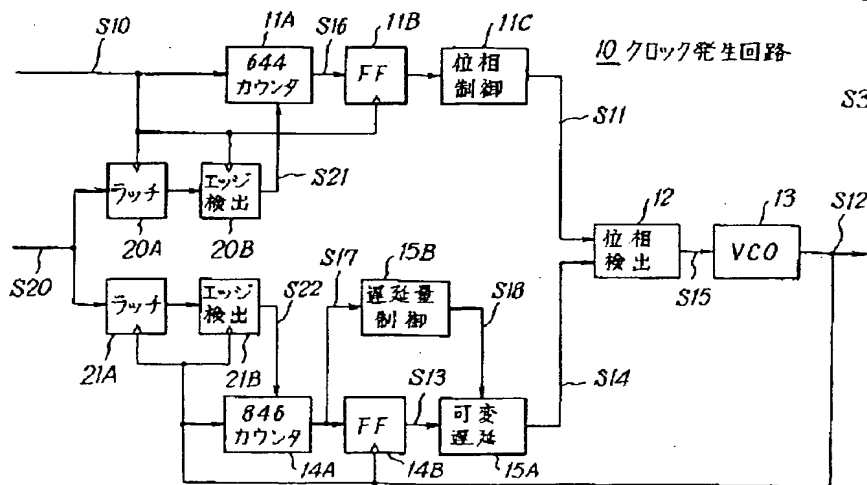


図 2 クロック発生回路の構成

【図 1】 本発明によるクロック発生回路を示すブロック図である。

【図 2】 図 1 のクロック発生回路の詳細構成を示すブロック図である。

【図 3】 図 2 のクロック発生回路の動作の説明に供するタイミングチャートである。

【図 4】 図 2 のクロック発生回路の 1 フレーム後の動作タイミングの説明に供するタイミングチャートである。

【図 5】 従来のクロック発生回路の構成を示すブロック図である。

【符号の説明】

1、10……クロック発生回路、2、12……位相検出回路、3、13……電圧制御型発振回路、4、11、14……分周回路、15……可変遅延回路。

【図 4】

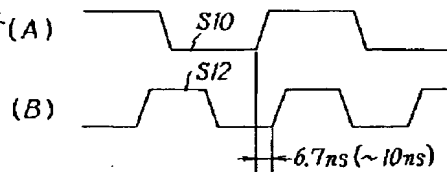


図 4 1 フレーム後の動作タイミング

【図 5】

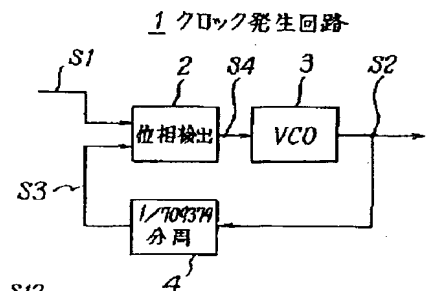


図 5 従来のクロック発生回路

【図 3】

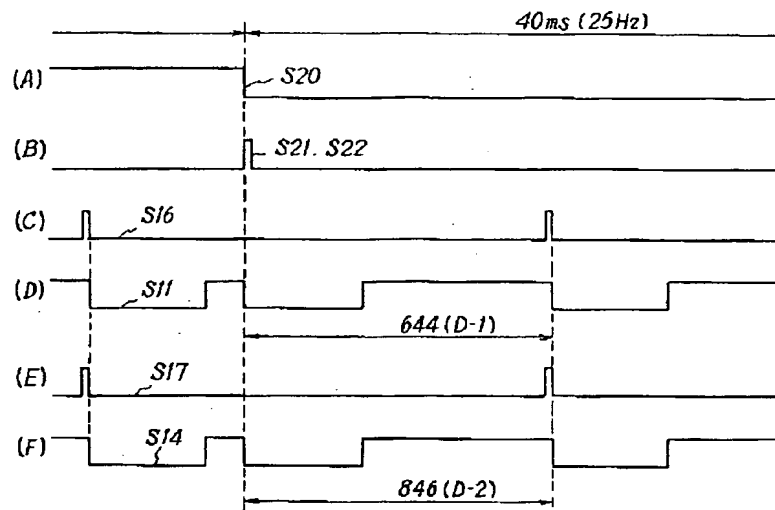


図3 クロック発生回路の動作タイミング(1)